

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年4月14日 (14.04.2005)

PCT

(10) 国際公開番号
WO 2005/033984 A1

(51) 国際特許分類: G06F 17/50, H01L 21/82, H03K 19/00

(72) 発明者: および

(21) 国際出願番号: PCT/JP2004/007006

(75) 発明者/出願人(米国についてのみ): 中 順一 (NAKA, Junichi). 岡 浩二 (OKA, Koji).

(22) 国際出願日: 2004年5月17日 (17.05.2004)

(74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大阪府大阪市淀川区宮原3丁目4番30号ニッセイ新大阪ビル13階早瀬特許事務所 Osaka (JP).

(25) 国際出願の言語: 日本語

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(26) 国際公開の言語: 日本語

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(30) 優先権データ:

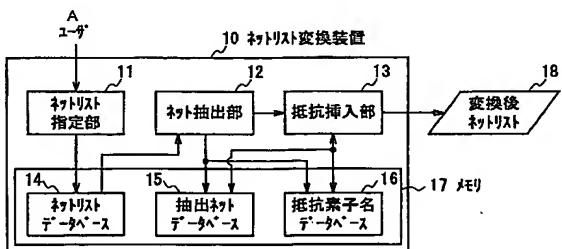
特願2003-346185 2003年10月3日 (03.10.2003) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).

[続葉有]

(54) Title: NET LIST CONVERSION METHOD, NET LIST CONVERSION DEVICE, STILL-STATE LEAK CURRENT DETECTION METHOD, AND STILL-STATE LEAK CURRENT DETECTION DEVICE

(54) 発明の名称: ネットリスト変換方法、ネットリスト変換装置、静止状態貫通電流検出方法、及び静止状態貫通電流検出装置



A... USER
10... NET LIST CONVERSION DEVICE
11... NET LIST SPECIFICATION SECTION
12... NET EXTRACTION SECTION
13... RESISTOR INSERT SECTION
14... NET LIST DATABASE
15... EXTRACTED NET DATABASE
16... RESISTOR ELEMENT NAME DATABASE
18... NET LIST AFTER CONVERSION
17... MEMORY

A1

(57) Abstract: As shown in Fig. 1, a gate terminal or a logic gate input terminal of a MOS transistor contained in a net list to be subjected to leak current detection is extracted. Net list conversion is performed by inserting a resistor between the gate terminal or the logic gate input terminal of the MOS transistor and between the gate terminal or the logic gate input terminal of the MOS transistor and a reference voltage, thereby performing DC analysis so as to detect a MOS transistor in which leak current may be caused. Thus, it is possible to surely detect a leak current which has been difficult to detect in the conventional DC analysis simulation and surely detect a transistor which may cause leak current in the circuit to be subjected to the leak current detection.

WO 2005/033984

(57) 要約: 第1図に示すように、貫通電流検出対象ネットリストに含まれるMOSトランジスタのゲート端子あるいは論理ゲートの入力端子を抽出し、該MOSトランジスタのゲート端子あるいは論理ゲートの入力端子と電源の間、及び該MOSトランジスタのゲート端子あるいは論理ゲートの入力

[続葉有]



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 国際調査報告書

端子と基準電圧の間に、抵抗を挿入するネットリスト変換を施し、直流解析を実施することにより、貫通電流が発生する可能性のあるMOSトランジスタを検出するようにして、従来の直流解析シミュレーションでは検出することが困難であった貫通電流を確実に検出でき、且つ、該貫通電流の検出対象回路内の貫通電流が発生する疑いのあるトランジスタを確実に検出できるようにする。